

SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

Publication number: JP2001256793

Publication date: 2001-09-21

Inventor: TAKASE SATORU

Applicant: TOKYO SHIBAURA ELECTRIC CO

Classification:

- international: G06F12/16; G11C29/00; G06F12/16; G11C29/00;
(IPC1-7): G11C29/00; G06F12/16

- european:

Application number: JP20000065522 20000309

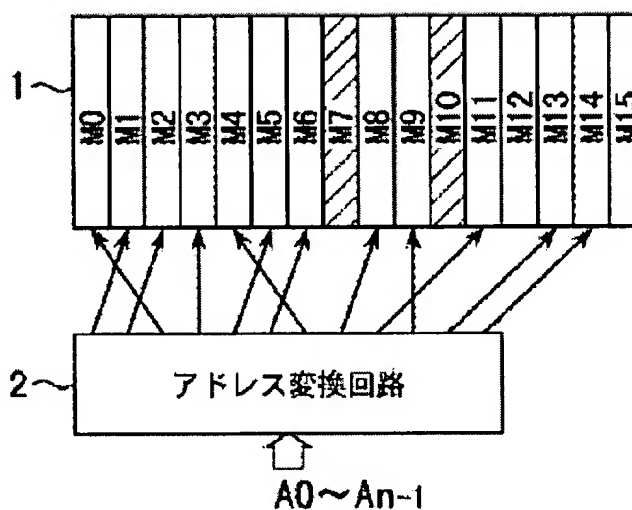
Priority number(s): JP20000065522 20000309

Report a data error here

Abstract of **JP2001256793**

PROBLEM TO BE SOLVED: To provide a semiconductor integrated circuit device adopting a redundancy system by which increment of area can be suppressed and an access time can be shortened without using a defective address storing circuit and an address coincidence detecting circuit.

SOLUTION: This device is provided with a memory section 1 having a memory cell array in which memory cell array columns having capacity exceeding capacity of a range selected by an address are arranged, and an address conversion circuit 2 converting an address and selecting a memory cell of the memory section 1, the address conversion circuit 2 fixes correspondent relation between addresses and memory cell columns so that memory cell columns being more than defective memory cell columns including defective memory cell columns are replaced by the other normal memory cell columns.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-256793

(P2001-256793A)

(43)公開日 平成13年9月21日(2001.9.21)

(51)Int.Cl. ⁷	識別記号	F I	テ-マコ-ド*(参考)
G 1 1 C 29/00	6 0 3	C 1 1 C 29/00	6 0 3 B 5 B 0 1 8
G 0 6 F 12/16	3 1 0	C 0 6 F 12/16	3 1 0 R 5 L 1 0 6

審査請求 未請求 請求項の数8 O L (全 10 頁)

(21)出願番号 特願2000-65522(P2000-65522)

(22)出願日 平成12年3月9日(2000.3.9)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 高瀬 覚

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝マイクロエレクトロニクスセン

ター内

(74)代理人 100092820

弁理士 伊丹 勝

Fターム(参考) 5B018 GA06 HA24 HA32 KA16 NA02

5L106 AA01 CC04 CC05 CC13 CC17

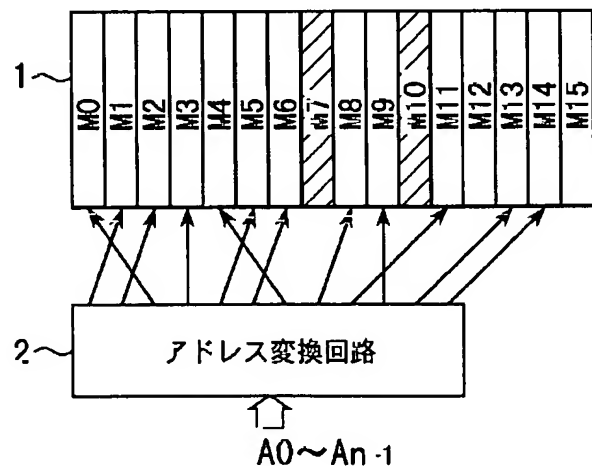
CC22 CC32 GG07

(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【課題】 不良アドレス記憶回路やアドレス一致検出回路を用いることなく、面積増大の抑制とアクセスタイム短縮を可能としたリダンダンシ方式を採用した半導体集積回路装置を提供する。

【解決手段】 アドレスにより選択される範囲の容量を越える容量のメモリセル列が配置されたメモリセルアレイを有するメモリ部1と、アドレスを変換してメモリ部1のメモリセル選択を行うアドレス変換回路2とを備え、アドレス変換回路2は、不良メモリセルの分布に応じて、不良メモリセル列を含んで不良メモリセル列より多いメモリセル列を他の正常なメモリセル列で置換するようにアドレスとメモリセル列の対応関係が固定される。



【特許請求の範囲】

【請求項1】 アドレスにより選択される範囲の容量を越える容量のメモリセルが配列された、複数のメモリセル列により構成されるメモリセルアレイを有するメモリ部と、

前記アドレスを変換して前記メモリ部のメモリセル選択を行うアドレス変換回路とを備え、

前記アドレス変換回路は、不良メモリセルの分布に応じて、不良メモリセル列を含んで不良メモリセル列より多いメモリセル列を他の正常なメモリセル列で置換するようにアドレスとメモリセル列の対応関係が固定されることを特徴とする半導体集積回路装置。

【請求項2】 前記アドレス変換回路は、外部アドレス信号が供給される一次アドレス信号線と、前記メモリ部のメモリセル選択に必要な、前記外部アドレス信号よりビット数の大きい内部アドレス信号を発生することを可能とした二次アドレス信号線との間でアドレス一次変換を行うものであることを特徴とする請求項1記載の半導体集積回路装置。

【請求項3】 前記アドレス変換回路は、外部アドレス信号が供給される一次アドレス信号線と、前記メモリ部のメモリセル選択に必要な、前記外部アドレス信号よりビット数の大きい内部アドレス信号を発生することを可能とした二次アドレス信号線との間でアドレス一次変換を行う転送ゲート群と、不良メモリセルの分布に応じて前記転送ゲート群のオンオフを設定することにより前記アドレス一次変換のロジックを決定するための不揮発性記憶回路とを有することを特徴とする請求項1記載の半導体集積回路装置。

【請求項4】 前記アドレス変換回路は、外部アドレス信号が供給される一次アドレス信号線と、前記メモリ部のメモリセル選択に必要な、前記外部アドレス信号よりビット数の大きい内部アドレス信号を発生することを可能とした二次アドレス信号線と、前記一次アドレス信号線と二次アドレス信号線との間でアドレス一次変換を行うマルチプレクサ群と、不良メモリセル分布に応じて前記マルチプレクサ群のオンオフを設定することにより前記アドレス一次変換の態様を決定するための不揮発性記憶回路とを有することを特徴とする請求項1記載の半導体集積回路装置。

【請求項5】 前記アドレス変換回路は、外部アドレス信号が供給される一次アドレス信号線と、前記メモリ部のメモリセル選択に必要な、前記外部アドレス信号よりビット数の大きい内部アドレス信号を発生することを可能とした二次アドレス信号線と、前記一次アドレス信号線と二次アドレス信号線との間でアドレス一次変換を行うプログラマブル論理アレイとを有することを特徴とする請求項1記載の半導体集積回路装置。

【請求項6】 前記アドレス変換回路は、クロックによ

り同期制御されることを特徴とする請求項1記載の半導体集積回路装置。

【請求項7】 前記アドレス変換回路は、前記メモリ部を含む半導体チップ内部に配置されていることを特徴とする請求項1記載の半導体集積回路装置。

【請求項8】 前記アドレス変換回路は、前記メモリ部を含む半導体チップの外部に配置されていることを特徴とする請求項1記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、メモリを含む半導体集積回路装置に係り、特に不良メモリセル救済を行う冗長回路（リダンダンシ）方式に関する。

【0002】

【従来の技術】従来より、大容量DRAM等の半導体記憶装置では、一定範囲内のメモリセル不良を救済して歩留まり向上を図るリダンダンシ方式が採用されている。通常のリダンダンシ方式では、正規のメモリセルアレイの他に冗長セルアレイが用意され、正規のメモリセルアレイ内に不良があった場合にその不良箇所を冗長セルアレイで置き換える。この置き換え制御のために、不良アドレスを記憶するフューズ回路を用意し、ウェハテストの結果に応じてフューズ回路をプログラミングして、外部アドレスと不良アドレスの一致検出を行うようにしている。

【0003】

【発明が解決しようとする課題】従来のリダンダンシ方式は、欠陥の数が少ない場合は用意すべきフューズ数も少なく、面積効率の点でも有効であるが、半導体記憶装置の更なる大容量化に対応するには問題がある。第1に、フューズ回路によるチップ面積増大が大きい。従来方式では、一つの冗長セルに対して、一つのフューズセットが必要であり、一つのフューズセットに、少なくとも置き換えるべきメモリセルの行列数を特定できるだけのアドレス本数に対応したフューズ数を備えることが必要である。従って、メモリの大容量化と微細化により欠陥数が増加すると、必要なフューズセット数が大幅に増加し、フューズ本数が大幅に増加する。例えば、256MビットDRAMではリダンダンシに必要なフューズ数が数千本に達することも珍しくない。しかもフューズ素子は、メモリ素子より面積が大きいいため、フューズ素子による面積ペナルティが非常に大きいものとなる。

【0004】第2に、フューズ回路でアドレス一致検出を行うためにアクセスタイムの増大が問題になる。従来方式では、フューズセットに一組のアドレスを記憶し、外部からのアドレスが欠陥メモリセルを含む列或いは行に対応するかどうかを判定するために、メモリの大容量化と微細化によりフューズセットが数が多くなった場合、アドレス線の負荷が大きくなり、アドレス線の遅延が大きくなる。しかも、各フューズセット間でアドレス

一致検出に要する時間にばらつきが生じる。これらの理由で、全フューズセットがアドレス一致検出の判定を行うまでの時間が長くなり、アクセスタイムへのペナルティが大きくなる。

【0005】この発明は、不良アドレス記憶回路やアドレス一致検出回路を用いることなく、面積増大の抑制とアクセスタイム短縮を可能としたリダンダンシ方式を採用した半導体集積回路装置を提供することを目的としている。

【0006】

【課題を解決するための手段】この発明に係る半導体集積回路装置は、アドレスにより選択される範囲の容量を越える容量のメモリセルが配列された、複数のメモリセル列により構成されるメモリセルアレイを有するメモリ部と、前記アドレスを変換して前記メモリ部のメモリセル選択を行うアドレス変換回路とを備え、前記アドレス変換回路は、不良メモリセルの分布に応じて、不良メモリセル列を含んで不良メモリセル列より多いメモリセル列を他の正常なメモリセル列で置換するようにアドレスとメモリセル列の対応関係が固定されることを特徴としている。

【0007】この発明によると、欠陥のないメモリセル列をも場合によっては置き換えるという変換ロジックのアドレス変換回路を備えることにより、従来のようなアドレス記憶回路やアドレス一致検出回路を用いることなくメモリセルの不良救済が可能になり、従って集積回路チップ面積の低減が可能になる。

【0008】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態を説明する。図1及び図2は、この発明の実施の形態による半導体集積回路装置であり、図1はメモリ部に不良がない場合、図2はメモリ部に不良メモリセルがあった場合のアドレスとメモリセル列の対応関係を概念的に示している。なおこの明細書において、“メモリセル列”とは、メモリセルアレイを行、列方向の少なくとも一方に複数個に分割して得られるメモリセルユニットであり、且つ不良救済のための置換単位となる範囲をいう。

【0009】メモリ部1は、外部アドレスA0～An-1により選択される範囲の容量より大きい容量のメモリセル数を持つセルアレイを有するものとし、図では一例として、16個のメモリセル列（又は行）M0～M15を有する場合を示している。ここでは、メモリ部1は、ワード線やビット線選択を行うデコード回路を含む。アドレス変換回路2は、外部アドレスA0～An-1をデコードして、例えば12個のメモリセル列のうちの一つを選択するものとする。

【0010】メモリ部1は、従来のリダンダンシ方式と異なり、正規のメモリセル列と冗長メモリセル列との区別はない。そして、ウェハテストの結果不良がない場合

には、図1に示すように、アドレス変換回路2は、外部アドレスに応じて12個のメモリセル列M0～M11の一つを選択するように変換ロジック（即ち、外部アドレスとメモリセル列の対応関係）が固定される。一方、例えば図2に斜線で示したようにメモリセル列M7、M10が不良であった場合には、アドレス変換回路2はこれらの不良メモリセル列M7、M10を避けてメモリセル列選択を行うように、変換ロジックが設定されて固定される。

【0011】このときの変換ロジックは、単に不良メモリセル列M7、M10を避けるだけではなく、一般的には不良メモリセル列M7、M10を含んでそれより多いメモリセル列を、他の正常なメモリセル列で置き換えるように組まれている。即ちこの実施の形態のアドレス変換回路2では、不良セルがあった場合、正常なメモリセル列をも他の正常なメモリセル列で置き換えることがあるという変換ロジックが用いられている。これにより、変換ロジックが簡単になり、アドレス変換回路の面積を小さくすることができる。

【0012】この実施の形態においては、従来のリダンダンシ方式におけるような、外部アドレスと不良アドレスの一致検出を行うための不良アドレス記憶回路としてのフューズ回路は用いない。アドレス一致検出を行うフューズ回路を用いることなく、図1及び図2に概念的に示したアドレス変換ロジックの切り替えを可能とする具体的な方式を、以下に説明する。

【0013】図3は、図1のアドレス変換回路2の一つの具体例である。n本の一次アドレス信号線21は、アドレスバッファの出力線（通常は相補信号線）であり、これが並列に複数個（図の場合5個）の転送ゲート回路TG1～TG5に入る。各転送ゲート回路TG1～TG5の出力線22-1～22-5もそれぞれn本である。転送ゲート回路TG1～TG5のオンオフは、それぞれメモリ回路MC1～MC5により制御されるようになっている。

【0014】メモリ回路MC1～MC5は、ウェハ状態で、或いはチップ実装後に電氣的にプログラム可能な1ビットメモリであり、例えばEEPROMセルやフリップフロップ、或いはフューズが用いられる。ウェハテストの段階では、これらのメモリ回路MC1～MC5のうち予め定められている一つが“1”データ、残りは“0”データを保持するように初期設定されているものとする。図3では、メモリ回路MC1が“1”データの場合を示している。このとき、メモリ回路MC1の出力は転送ゲート回路TG1をオンにするイネーブル信号ENであり、残りのメモリ回路MC2～MC5の出力はそれぞれ転送ゲート回路TG2～TG5をオフにするディセーブル信号DISとなる。

【0015】転送ゲート回路TG1～TG5の各n本の出力線22-1～22-5はそれぞれ、それらより多い

m本の二次アドレス信号線23の中の予め定められたn本に接続される。転送ゲート回路TG1~TG5の各n本の出力線22-1~22-5と、m本のアドレス信号線23の接続状態は全て異なる。そして、アドレス信号線23は、それらの全ての組み合わせ論理をとるワイヤド・オア配線24を介してアドレスデコーダ25に接続される。アドレスデコーダ25はこの例の場合、m本のアドレス信号線23の組み合わせにより、 $2^{n/2}$ 個の出力線26の一つを活性にするもので、これにより図1に示すメモリセル列Mの一つを選択することになる。

【0016】即ち、アドレス信号線23からアドレスデコーダ25までは、n本のアドレス信号線21で選択できるメモリセル列数 $2^{n/2}$ より多いメモリセル列を選択できるように、予め配線されていることになる。しかし、アドレス信号線23に接続される転送ゲート回路TG1~TG5の出力線22-1~22-5はそれぞれn本であり、且つ前述のように転送ゲート回路TG1~TG5は一つだけが活性であるから、実際に選択されるメモリセル列の範囲は、 $2^{n/2}$ 個に制限されていることになる。

【0017】図4は、図3の構成をより具体的に、入力されるアドレスがA0~A2の3ビット($n=6$)であり、アドレス信号線23を4ビットB0~B3分の $m=8$ とした簡単な例について示している。この例では、外部アドレスにより選択できるメモリセル列は8個であるが、内部アドレス信号線23とアドレスデコーダ25により、16個のメモリセル列が選択できるように、予め配線されている。即ちアドレスデコーダ25のデコードゲートはG0~G15の16個であり、ワイヤド・オア配線24により、16本の出力線26を選択可能である。転送ゲート回路TG1~TG5の出力線22-1~22-5は、全て異なる組み合わせでアドレス信号線23に接続される。例えば、転送ゲート回路TG1では、(A0, A1, A2) → (B0, B1, B2) なるアドレスの一次変換を行っている。次の転送ゲート回路TG2では、A0対応の出力線22-2をB3に接続する他は、転送ゲート回路TG1と同じ、即ち(A0, /A0)を(B3, /A0)とする一次変換を行っている。

【0018】前述のように、ウェハテストの段階で転送ゲート回路TG1のみが活性であるとする、これにより選択される範囲でメモリセル列のテストが行われる。そしてテストの結果不良があった場合には、転送ゲート回路TG1をオフにし、代わりに不良メモリセル列にマッピングされていない別の一つの転送ゲート回路をオンにする。そのためのメモリ回路MC1~MC5のプログラミングは、ウェハ段階で或いはチップ実装後に、電源投入時の初期化条件の変更、或いはEEPROMやフラッシュメモリの書き換えにより容易に可能である。

【0019】以上のようにこの実施の形態の場合、アドレス変換回路では、外部アドレスを複数の転送ゲート回

路によりそれぞれ内部アドレスに1:1に対応させて一次変換している。そして、各転送ゲート回路の出力線は、全てのメモリセルを選択できるだけの本数をもって配設された内部アドレス信号線に対して、それぞれ異なる組み合わせで予め接続しておく。これにより欠陥分布に応じて、複数の転送ゲート回路の一つ(或いは適当な複数個)を活性化することにより、不良アドレス置換ができることになる。

【0020】この実施の形態によると、不良アドレス置換のために従来のような不良アドレス一致検出を行うフューズ回路を必要としない。従って、特に大規模半導体記憶装置のチップ面積削減の効果は大きい。アドレス変換回路を設けることによる面積増大はあるが、これによってフューズ回路を省くことによる面積削減の効果は殆ど減殺されない。更に、アドレス変換回路にはメモリセル選択に必要な数以上の余分な変換ユニットと配線が用意されるが、フューズ回路を用いた従来方式のようにアドレス配線を引き回す必要はなく、アドレス配線は短くなる。従って配線遅延が少なく、高速アクセスが可能である。

【0021】上の実施の形態では、アドレス変換回路2を記憶回路MCにより活性化される転送ゲート回路により構成した。これに対して、アドレス変換回路2を、ウェハ段階でプログラム可能なプログラマブル論理アレイFPLA(Field Programmable Logic Array)により構成することもできる。FPLAは初期状態ではあるアドレス変換を行うように設定され、ウェハ段階でのプログラムにより他のいくつかのアドレス変換ロジックが選択できるようにしておく。これにより、より自由度の高いアドレス変換による不良アドレス置換が可能である。

【0022】図5Aおよび図5Bは、更に別の実施の形態のアドレス変換回路2の構成例を、単純な一例で示している。アドレス変換回路2は、変換ロジック部51とアドレスデコーダ52により構成される。図5Aは、アドレス変換前であり、図5Bはアドレス変換後である。デフォルトの状態では、図5Aに示すように、外部アドレスA0~A2は変換されることなく、そのまま内部アドレスとなり、デコード部DEC1に入る。変換ロジック部51には、A0を反転してbA0を得るためのインバータが設けられている。bA0の内部アドレス線は、デコード部DEC1の活性化信号線となり、またbA0, A1, A2の内部アドレス線は、デフォルトの状態では、デコード部DEC2には接続されているが、外部アドレス線とは接続されていない。

【0023】従って、デフォルトの状態では、図6(a)に示すように、アドレスA0~A2がデコード部DEC1でデコードされてメモリ部1の番地(1)~(8)が選択される。ウェハテストの結果、図6に×印で示した欠陥が見つかった場合には、変換ロジック部5

1を図5Bのようにプログラムする。これは、A0 = “0”の場合に、bA0 = “1”がデコード部DEC1に入り、デコード部DEC1を非活性にし、bA0, A1, A2の3ビットがデコード部DEC2に入ることを意味している。A0 = “1”の場合は、デコード部DEC1は活性であり、デフォルトの状態と同じとなる。

【0024】従って、アドレス変換後は、図6(b)に示すように、A0 = “0”のときは、bA0, A1, A2の3ビットにより番地(1), (3), (5), (7)が選択され、A0 = “1”のときは、A0, A1, A2の3ビットにより、番地(2), (4), (6), (8)が選択される。但し、変換前の不良の番地(3), (5)を含むアドレス変換後の番地(1), (3), (5), (7)は、メモリ部1上では、アドレス変換前とは異なるセルアレイ列に置き換えられている。

【0025】上の説明では、簡単化のため、アドレスA0 = “0”に欠陥がある場合のみに着目して、その欠陥アドレスを置換する例を示したが、想定される欠陥分布に対応してアドレス変換回路のロジックを変更可能に構成することにより、欠陥分布に応じたアドレス変換が可能である。

【0026】図7は、更に別の実施の形態によるアドレス変換回路2の構成例を示している。ここでは、メモリ部1はセルアレイ本体のみであり、アドレス変換回路2はメモリセルアレイのワード線選択を行うロウデコーダを含んで構成されている。図7では、説明を分かりやすくするために、3ビットのロウアドレスRA0~RA2により、メモリセルアレイの12本のワード線WL0~WL11の中から8本のワード線選択を行う場合を示している。アドレス変換回路2のロウアドレスデコーダ70は、4つのデコーダブロックB0~B3により構成され、ロウアドレス信号線71が所定の論理で入力端子に接続される。デコーダブロックB0は、図8に示すロジック、即ち(RA0, RA1, RA2) = (0, *, *) (但し、*は任意)により、4本のワード線WL0, WL2, WL4, WL6の中から1本を選択する。デコーダブロックB1は、(RA0, RA1, RA2) = (1, *, *)により、4本のワード線WL1, WL3, WL5, WL7の中から1本を選択する。

【0027】以上の二つのデコーダブロックB0, B1は、ウェハテスト時に活性化されるものであり、且つメモリセルアレイに不良がない場合にも固定的に活性化されるものである。もう一つのデコーダブロックB2は、図8に示すように、デコーダブロックB0と同じロジックにより、異なる4本のワード線WL8, WL9, WL10, WL11の中の1本を選択するように構成されている。更に残りのデコーダブロックB3は、デコーダブロックB2と同じロジックによって、4本のワード線WL8, WL9, WL10, WL11の中の1本を選択す

るように構成されている。

【0028】これら二つのデコーダブロックB2, B3は、テスト時には非活性に保たれ、またテストの結果不良がない場合にも非活性に固定される。テストの結果、不良があった場合に、その不良アドレス分布に応じて、デコーダブロックB0, B1のいずれかが非活性にされ、代わりにデコーダブロックB2又はB3が活性状態に固定される。

【0029】この様に、デコーダブロックB0~B3の活性、非活性をテスト時とその後の通常動作時とで切り替え制御を行うために、二つの活性化回路72, 73が設けられている。第1の活性化回路72は、前述のようにテスト時に、テスト信号TESTによって、活性化信号EN1 = “H”を出力して、デコーダブロックB0, B1を活性にするためのものである。第2の活性化回路73は、テスト後にデコーダブロックB0~B3の活性、非活性を固定的に設定するためのフューズ回路である。この活性化回路73は、プログラムしない限りは活性化信号EN20~EN23 = “L”であり、テスト結果に応じてフューズF0~F3をプログラミングすることによって、初めて選択的に“H”となる活性化信号EN20~EN23を出力する。

【0030】図9は、これらの活性化回路72, 73が出力する活性化信号EN1, EN20~EN23の具体例を示している。前述のように、テスト時は、EN1 = “H”, EN20~EN23 = “L”であり、これによりデコーダブロックB0, B1が活性になり、ロウアドレスに応じてワード線WL0~WL7の一つが選択される。テストの結果、不良がない場合には、活性化回路73のフューズF0, F1をカットする。これにより、通常動作時には、活性化回路73の出力は、EN20 = EN21 = “H”, EN22 = EN23 = “L”となり、テスト時と同様にデコーダブロックB0, B1が活性となる。

【0031】テストの結果、例えば図8に示すように、ワード線WL0, WL2に欠陥があったとする。このとき、これらのワード線WL0, WL2を選択するデコーダブロックB0を非活性状態に固定し、代わりにデコーダブロックB0と同様のロジックによりワード線WL8~WL11を選択するデコーダブロックB2を活性状態に固定する。即ち、活性化回路73において、フューズF0, F2をカットする。これにより、通常動作時には、活性化回路73の出力は、EN20 = EN22 = “H”, EN21 = EN23 = “L”となり、デコーダブロックB1及びB2が活性となる。

【0032】このとき、ワード線置換は、図8の変換ロジックから明らかなように、ワード線WL0, WL2, WL4, WL6が、ワード線WL8, WL9, WL10, WL11によりそれぞれ置換されることになる。即ち、いまの例の場合、不良が含まれる(RA0, RA

1, RA2) = (0, *, *) なる変換ロジックを行う変換ブロックB0を、同様の変換ロジックを実行するデコーダブロックB2に置換するために、不良ワード線WL0, WL2のほか、正常なワード線WL4, WL6についても他の正常なワード線により置き換えられることになる。

【0033】上の例は、偶数番のワード線が不良であった場合であるが、WL1, WL3等の奇数番のワード線が不良の場合には、デコーダブロックB0とB3を活性状態に固定するように、活性化回路73をプログラミングすればよい。これにより、不良を含むワード線WL1, WL3, WL5, WL7を、ワード線WL8, WL9, WL10, WL11によりそれぞれ置換することができる。図7及び図8は、分かりやすくするためにごく簡単な例を挙げたものであり、この範囲では、奇数番のワード線と偶数番のワード線が同時に不良の場合には、救済できない例となっている。しかし実際には、種々の不良の分布を想定して、より多くの種類の不良救済を行うべく、デコーダブロックを構成することが可能である。

【0034】この実施の形態によっても、従来のリダンダンシと異なり、不良アドレス記憶回路や外部アドレスと不良アドレスの一致検出を行うための比較回路は必要がない。従って、メモリを大容量化した場合にも従来のようなフューズ素子数を必要とせず、チップ面積の縮小が可能である。また、アドレス一致検出に要する遅延時間やそのばらつきによるアクセスタイムの増大がなく、高速アクセスが可能になる。

【0035】図10は、転送ゲート回路を用いた他の実施の形態によるアドレス変換回路2の構成を示している。外部アドレス信号A<0>~A<3>が入る一次アドレス信号線21と、外部アドレス信号よりビット数の多い内部アドレス信号B<0>~B<4>を発生することが可能な二次アドレス信号線23の間でアドレス一次変換を行うために、転送ゲート群TG001, TG002, ...が設けられている。具体的に、転送ゲート群TG001, TG002, TG011, TG012, TG021, TG022, TG031及びTG032の部分は、アドレス信号A<0>~A<3>をアドレス信号B<0>に変換する部分である。転送ゲート群TG101, TG102, TG111, TG112, TG121, TG122, TG131及びTG132の部分は、アドレス信号A<0>~A<3>をアドレス信号B<1>に変換する部分である。以下、図では省略したが、同様にアドレス信号A<0>~A<3>をアドレス信号B<2>, B<3>, B<4>に変換する転送ゲート群が用意される。

【0036】転送ゲート群の制御信号G00, bG00, ...は、図12に示すような、フューズFuseを用いた不揮発性メモリ回路120により発生される。この

メモリ回路120は、電源端子と接地端子間にPMOSトランジスタQPとNMOSTランジスタQN及びフューズFuseが直列接続され、トランジスタQP, QNの接続ノードにラッチ回路121が設けられている。

【0037】制御信号Aを“L”としてPMOSTランジスタQPをオンにし、ラッチ回路121のノードを“H”に充電する。そして、制御信号Aを“H”、制御信号Bを“H”にしてPMOSTランジスタQPをオフ、NMOSTランジスタQNをオンにすると、フューズFuseの切断の有無に応じて、ラッチ回路121のノードが放電、非放電が決まる。これにより、フューズデータがラッチ回路121に保持されることになる。このメモリ回路120の出力OUTが転送ゲート群の制御信号G00, G01, ...として用いられる。

【0038】従って、不良分布に応じて、図10の転送ゲート群のオンオフのプログラミング、具体的には図12のメモリ回路120のフューズブローを行うことにより、アドレス変換のロジックが決定される。なお、転送ゲート群の制御信号は、G00, bG00という相補信号であるから、メモリ回路120の数は、転送ゲート群の数の半分で済む。

【0039】図11は、図10の実施の形態と同等のアドレス変換機能をマルチプレクサ群MUXにより実現した実施の形態である。このマルチプレクサ群MUXの制御信号G00, G01, ...としても、図12のメモリ回路120を同様に用い得る。この実施の形態によっても、同様に不良を救済するアドレス一次変換ロジックが得られる。

【0040】この発明において、アドレス変換回路2をクロック同期型とすることが可能である。これは例えば、図12に示す不揮発性メモリ回路120の出力に、図14(a)に示すように、クロックCLK, bCLKにより制御される転送ゲート122を設けることにより、実現することができる。図14(a)の転送ゲート122を制御するクロックCLK, bCLKとして、アドレス取り込み信号を用いることもできる。更に、図14(b)に示すような転送ゲート122とラッチ回路121を用いて、その入力INとしてアドレス信号やコントロール信号を入れることにより、アドレス割付がクロックに応じてダイナミックに変化するリダンダンシーシステムが実現できる。

【0041】この発明において、アドレス変換回路2は好ましくは半導体集積回路チップ内部に設けられる。その具体的な態様を示せば、図15~図17のようになる。図15では、半導体チップ100には外部アドレスの入力部にプリデコーダ101が設けられ、このプリデコーダ101でプリデコードされたアドレスに対して、先の実施の形態で説明したようなアドレス変換回路2が設けられている。アドレス変換回路2は、メモリ部1の内部に配置されている。

【0042】図16においては、半導体チップ100内にメモリ部1と、そのメモリ部1をアクセスするアドレス信号を発生するロジック回路102を有し、アドレス変換回路2がメモリ部1の内部に配置されている。図17においては、同様に半導体チップ100内にメモリ部1と、そのメモリ部1をアクセスするアドレス信号を発生するロジック回路102を有するが、アドレス変換回路2は、ロジック回路102とメモリ部1の間に、メモリ部1の外に配置されている。

【0043】この発明において、アドレス変換回路を、アクセスすべきメモリ部を含む半導体チップの外に配置することもできる。図18は、その様な例である。それぞれメモリ部を含む複数の半導体集積回路チップ201がボード200上に搭載され、これらの集積回路チップ201のメモリ部をアクセスするためのアドレス変換回路2が集積回路チップ201の外に設けられている。変換されたアドレスはアドレスバス202を介して各半導体チップ201に供給される。

【0044】

【発明の効果】以上述べたようにこの発明によれば、不良アドレス記憶回路やアドレス一致検出回路を用いることなく、面積増大の抑制とアクセスタイム短縮を可能としたリダンダンシ方式を採用した半導体集積回路装置を提供することができる。

【図面の簡単な説明】

【図1】この発明の実施の形態による半導体記憶装置の構成を示す図である。

【図2】同実施の形態のアドレス変換のロジックを示す図である。

【図3】同実施の形態のアドレス変換回路の具体的な構成を示す図である。

【図4】同アドレス変換回路の更に具体的な構成を示す

図である。

【図5A】他の実施の形態による半導体記憶装置の構成を示す図である。

【図5B】同実施の形態による半導体記憶装置の構成を示す図である。

【図6】同実施の形態のアドレス変換のロジックを示す図である。

【図7】他の実施の形態による半導体記憶装置の構成を示す図である。

【図8】同実施の形態のアドレス変換のロジックを示す図である。

【図9】同実施の形態のフューズ回路出力を示す図である。

【図10】他の実施の形態によるアドレス変換回路を示す図である。

【図11】他の実施の形態によるアドレス変換回路を示す図である。

【図12】図10及び図11の実施の形態で用いられる不揮発性メモリ回路を示す図である。

【図13】同メモリ回路の動作を示す図である。

【図14】他の実施の形態による不揮発性メモリ回路を示す図である。

【図15】他の実施の形態による半導体集積回路の構成を示す図である。

【図16】他の実施の形態による半導体集積回路の構成を示す図である。

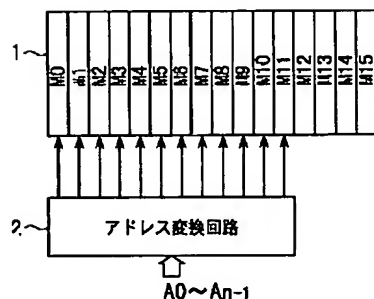
【図17】他の実施の形態による半導体集積回路の構成を示す図である。

【図18】他の実施の形態による半導体集積回路の構成を示す図である。

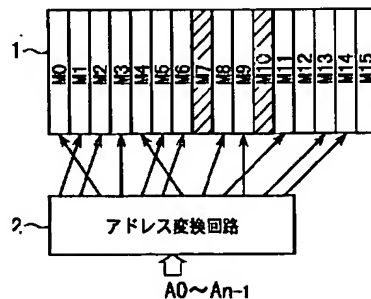
【符号の説明】

1…メモリ部、2…アドレス変換回路。

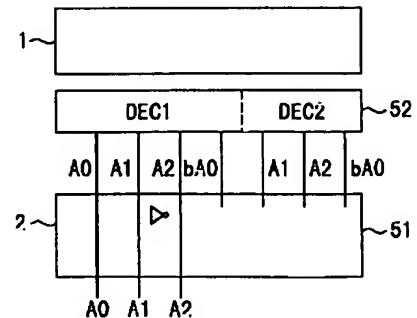
【図1】



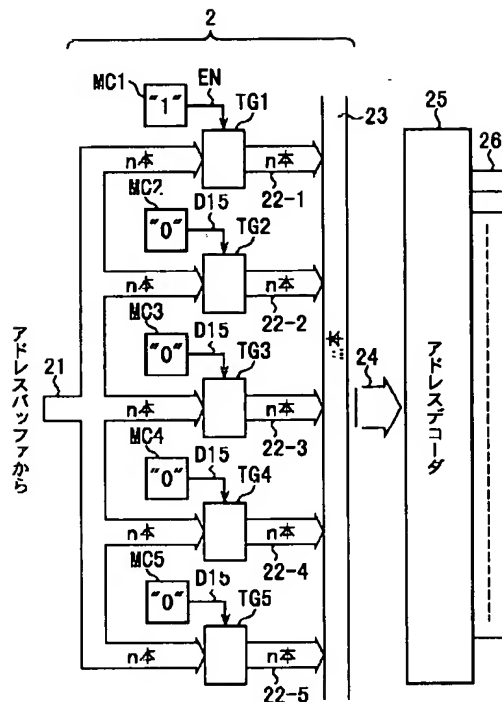
【図2】



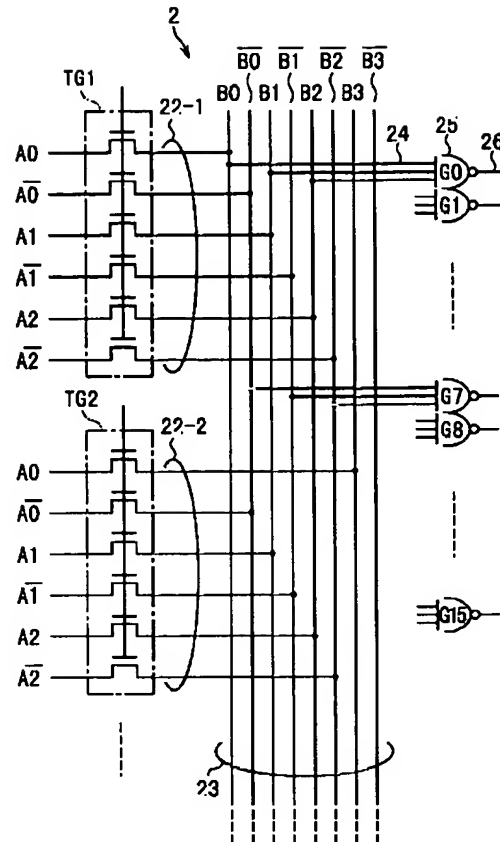
【図5A】



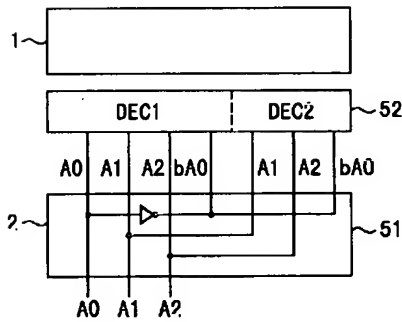
【図3】



【図4】



【図5B】



【図6】

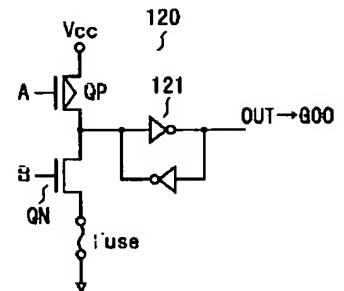
【図12】

(a) [変換前]

	A2	A1	A0
(1)	0	0	0
(2)	0	0	1
(3)	0	1	0
(4)	0	1	1
(5)	1	0	0
(6)	1	0	1
(7)	1	1	0
(8)	1	1	1

(b) [変換後]

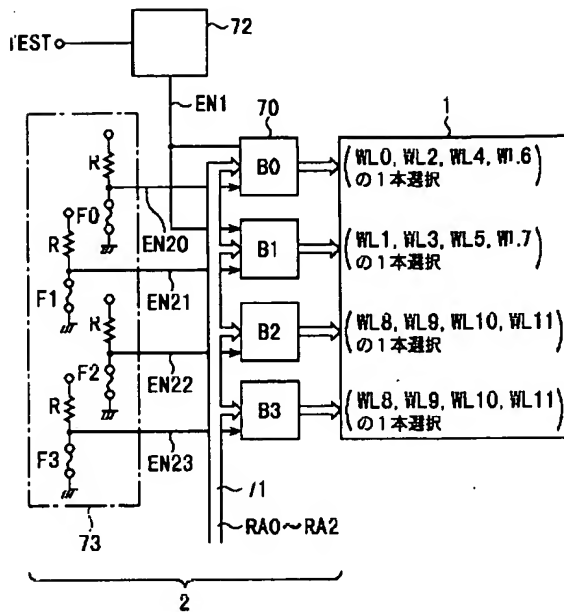
	A2	A1	A0	bA0
(1)	0	0	0	1
(3)	0	1	0	1
(5)	1	0	0	1
(7)	1	1	0	1
(2)	0	0	1	0
(4)	0	1	1	0
(6)	1	0	1	0
(8)	1	1	1	0



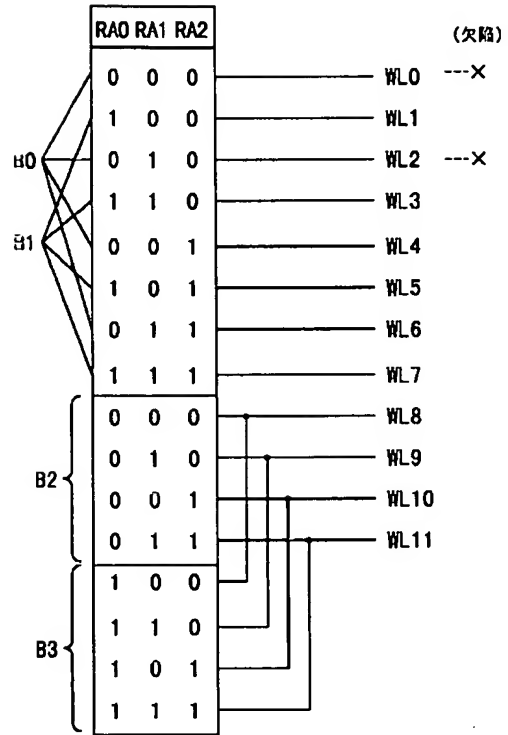
【図9】

	EN1	EN20	EN21	EN22	EN23	
テスト時	H	L	L	L	L	
通常動作時 (不良なし)	L	H	H	L	L	(F0,F1カット)
通常動作時 (WL0, WL2不良)	L	L	H	H	L	(F1,F2カット)

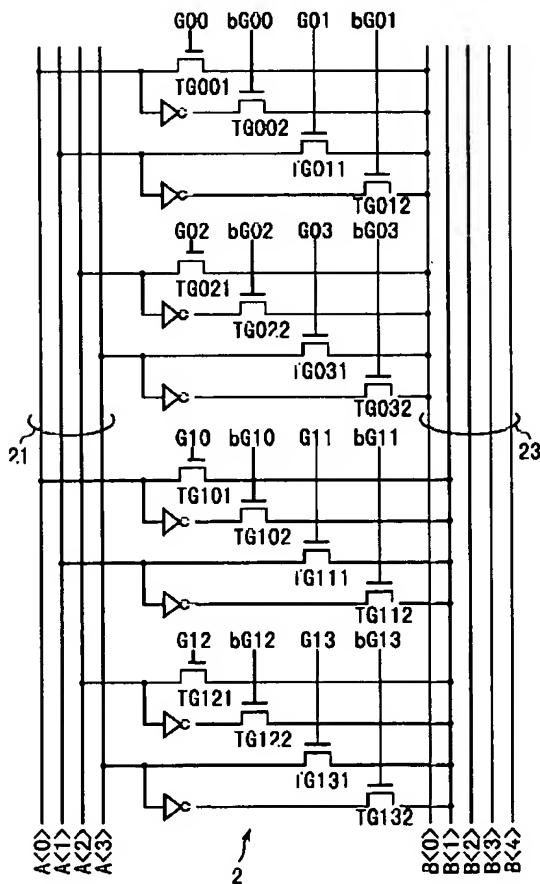
【図7】



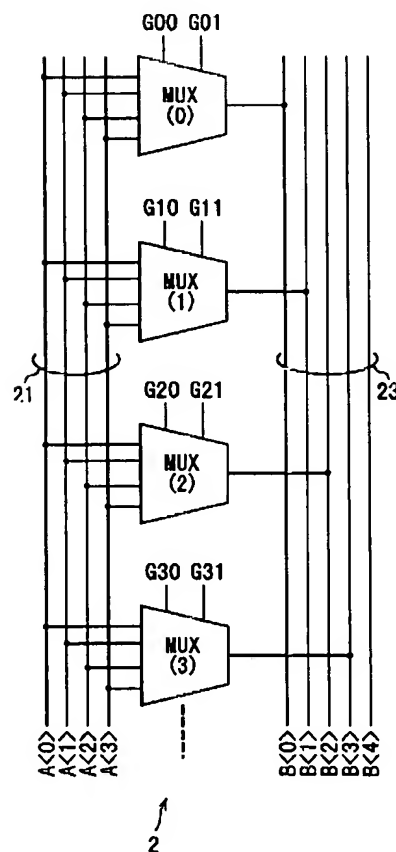
【図8】



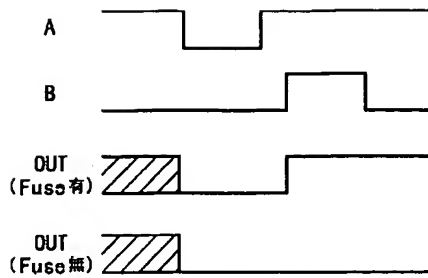
【図10】



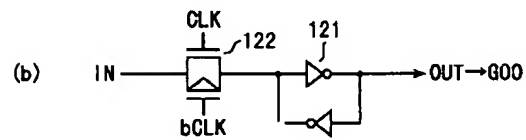
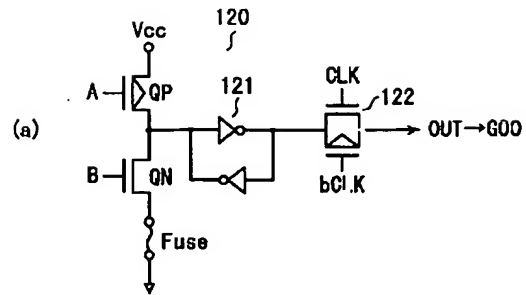
【図11】



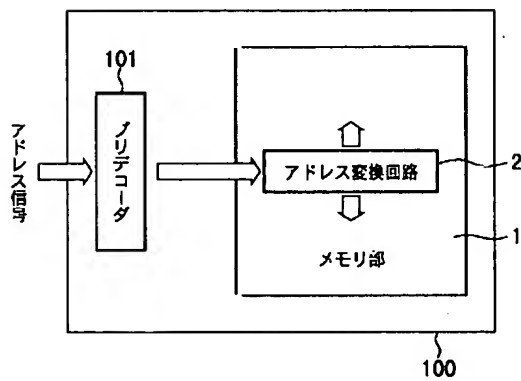
【図13】



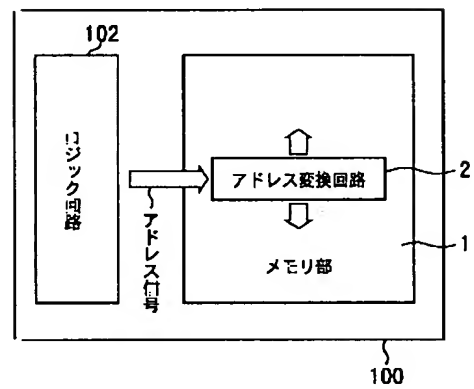
【図14】



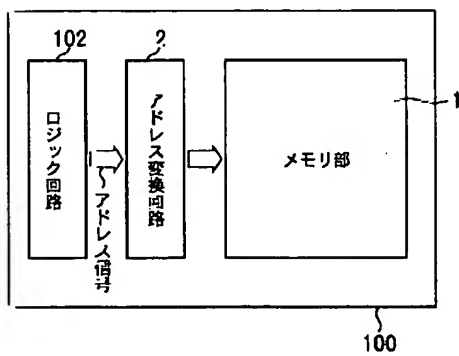
【図15】



【図16】



【図17】



【図18】

